

CLIPPEDIMAGE= JP359048949A
PAT-NO: JP359048949A
DOCUMENT-IDENTIFIER: JP 59048949 A
TITLE: PARTS FOR HYBRID INTEGRATED CIRCUIT

PUBN-DATE: March 21, 1984

INVENTOR-INFORMATION:

NAME
KATADA, TSUNEHARU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP57160002

APPL-DATE: September 13, 1982

INT-CL (IPC): H01L025/00

US-CL-CURRENT: 257/532, 257/536

ABSTRACT:

PURPOSE: To markedly reduce the number of external connecting parts by a method wherein a tape-like resistor and a capacitor are connected between the frames which will be turned to a lead terminal, and they are sealed by resin together with a semiconductor chip.

CONSTITUTION: A microminiature type chip-like resistor R<SB>1</SB> is connected to a point between lead frames 3 and 4, capacitors C<SB>1</SB>∼C<SB>5</SB> are connected to the points between lead frames 5 and 6, 6 and 7, 9 and 16, 10 and 16, 12 and 13 respectively, and they are sealed by resin 18 together with an IC chip. According to this constitution, a number of external connecting parts which are required on the conventional hybrid integrated circuit can beunnecessitated, thereby enabling to simplify the assembling of the integrated

circuit. Also, as the resistor and the capacitor are connected to the lead frames directly, the characteristics of the hibrid integrated circuit of this constitution is advantageous from the viewpoint of the characteristics of the device.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭59-48949

⑫ Int. Cl.³
H 01 L 25/00

識別記号 庁内整理番号
7638-5F

⑬ 公開 昭和59年(1984)3月21日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 混成集積回路部品

門真市大字門真1006番地松下電器産業株式会社内

⑮ 特 願 昭57-160002
⑯ 出 願 昭57(1982)9月13日
⑰ 発明者 片田恒春

⑱ 出願人 松下電器産業株式会社
門真市大字門真1006番地
⑲ 代理人 弁理士 中尾敏男 外1名

明細書

1、発明の名称

混成集積回路部品

2、特許請求の範囲

(1) リード端子となるフレーム間にアッブ状のコンデンサやチップ状の抵抗を接続し、これらのコンデンサや抵抗をモノシリック集積回路を構成する半導体チップと共に樹脂封止して成る混成集積回路部品。

(2) チップ状のコンデンサや抵抗を半導体チップを装着するダイボンドランドフレームと各リードフレームとの間に接続し、ダイボンドランドフレームをアース端子となるリードフレームと一緒に形成したことを特徴とする特許請求の範囲第1項記載の混成集積回路部品。

3、発明の詳細な説明

産業上の利用分野

本発明はモノシリック集積回路を構成する半導体チップを用いた混成集積回路部品に関する。

從来例の構成とその問題点

一般にモノシリック集積回路では大容量のコンデンサを得ることができず常に第1図に示すように多くの外部接続部品を必要とする。第1図において、ICはたとえばFM, AMラジオ受信機に使用するFM中間周波増幅, AM周波数変換, AM中間周波増幅, AM/FMの両検波用の集積回路部品であり、各リード端子1～16にはそれぞれ所要の外部接続部品が接続されている。すなわち、従来の集積回路部品ICを使用した場合には各リード端子に円板形あるいは積層型のセラミックコンデンサC₁～C₅や炭素皮膜抵抗器R₁を別に用意し、これらを共に印刷配線基板に装着する必要がある。したがって、この種のものでは印刷配線基板の合同箔によるインダクタンスによって全体の特性に大きな影響を与えることがあり、実用上余り好ましいものではない。

発明の目的

本発明は以上のような従来の欠点を除去するものであり、従来の集積回路部品の製法を大巾に変

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
⑰ 公開特許公報 (A) 昭59-48949

⑪ Int. Cl.³
H 01 L 25/00

識別記号 廷内整理番号
7638-5F

⑯ 公開 昭和59年(1984)3月21日

発明の数 1
審査請求 未請求

(全 3 頁)

④ 混成集積回路部品

② 特 願 昭57-160002
② 出 願 昭57(1982)9月13日
⑦ 発明者 片田恒春

門真市大字門真1006番地松下電器産業株式会社内

⑦ 出願人 松下電器産業株式会社
門真市大字門真1006番地
⑧ 代理人 弁理士 中尾敏男 外1名

明細書

1、発明の名称

混成集積回路部品

2、特許請求の範囲

(1) リード端子となるフレーム間にチップ状のコンデンサやチップ状の抵抗を接続し、これらのコンデンサや抵抗をモノシリック集積回路を構成する半導体チップと共に樹脂封止して成る混成集積回路部品。

(2) チップ状のコンデンサや抵抗を半導体チップを装着するダイボンドランドフレームと各リードフレームとの間に接続し、ダイボンドランドフレームをアース端子となるリードフレームと一緒に形成したことを特徴とする特許請求の範囲第1項記載の混成集積回路部品。

3、発明の詳細な説明

産業上の利用分野

本発明はモノシリック集積回路を構成する半導体チップを用いた混成集積回路部品に関する。

従来例の構成とその問題点

一般にモノシリック集積回路では大容量のコンデンサを得ることができず常に第1図に示すように多くの外部接続部品を必要とする。第1図において、ICはたとえばFM, AMラジオ受信機に使用するFM中間周波増幅, AM周波数変換, AM中間周波増幅, AM/FMの両検波用の集積回路部品であり、各リード端子1～16ICはそれぞれ所要の外部接続部品が接続されている。すなわち、従来の集積回路部品ICを使用した場合には各リード端子に円板形あるいは積層型のセラミックコンデンサC₁～C₅や炭素皮膜抵抗器R₁を別に用意し、これらを共に印刷配線基板に接着する必要がある。したがって、この類のものでは印刷配線基板の合同面によるインダクタンスによって全体の特性に大きな影響を与えたり、全体を小型化できなくなったりすることがあり、実用上余り好ましいものではない。

発明の目的

本発明は以上のような従来の欠点を除去するものであり、従来の集積回路部品の製法を大巾に変

えることなく容易に大容量のコンデンサを集積回路化でき、全体として小型でかつ電気的に安定した高性能の集積回路部品を提供しようとするものである。

発明の構成

本発明はリード端子となるフレーム間にチップ状のコンデンサや抵抗を直接接続し、これらのコンデンサや抵抗をモノシリック集積回路を構成する半導体チップと共に共通の樹脂で封止するよう構成したものであり、本発明によれば外部接続部品の部品点数を著しく少なくすることができ、全体として小型で性能のよい優れた混成集積回路部品を提供することができる。

実施例の説明

第2図、第3図は本発明の混成集積回路部品における一実施例の構成を示すものであり、図中ICはモノシリック集積回路を構成する半導体チップ、1～16はそれぞれのリード端子となるフレーム、17は半導体チップICを装着するためのダイボンドランドフレーム、R1はリードフレーム

3、4間に接続された超小型のチップ状の抵抗、C1～C5はそれぞれリードフレーム5、6、7、9、10、12、13及びダイボンドランドフレーム17間に接続された超小型のチップ状コンデンサ、18はチップ状の抵抗R1やコンデンサC1～C5を半導体チップICと共に封止する樹脂である。

尚、アース端子となるリードフレーム6、12はダイボンドランドフレーム17と一緒に形成されており、各コンデンサC1～C5は上記リードフレーム6、12やダイボンドランドフレーム17とこれらに隣接するリードフレーム5、7、9、10、13の間に接続されている。

発明の効果

本発明は上記実施例より明らかのようにリード端子となるフレーム間にチップ状の抵抗やコンデンサを接続し、これらのコンデンサや抵抗を半導体チップと共に樹脂によって封止したものでありしたがって、従来のように多くの外部接続部品を必要とせず、全体として部品点数を著しく少なく

し、組立てが容易になるという利点を有する。また、本発明によれば抵抗やコンデンサが直接リード端子となるフレームに接続されているため印刷配線基板の走査による影響も少なくすることができ、特性的にもきわめて有利であるという利点を有する。

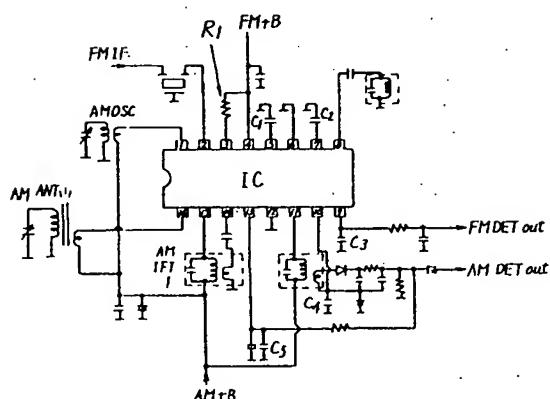
4. 図面の簡単な説明

第1図は従来の集積回路部品の使用状態を示す回路図、第2図は本発明の混成集積回路部品における一実施例の断面図、第3図は同実施例の拡大断面図である。

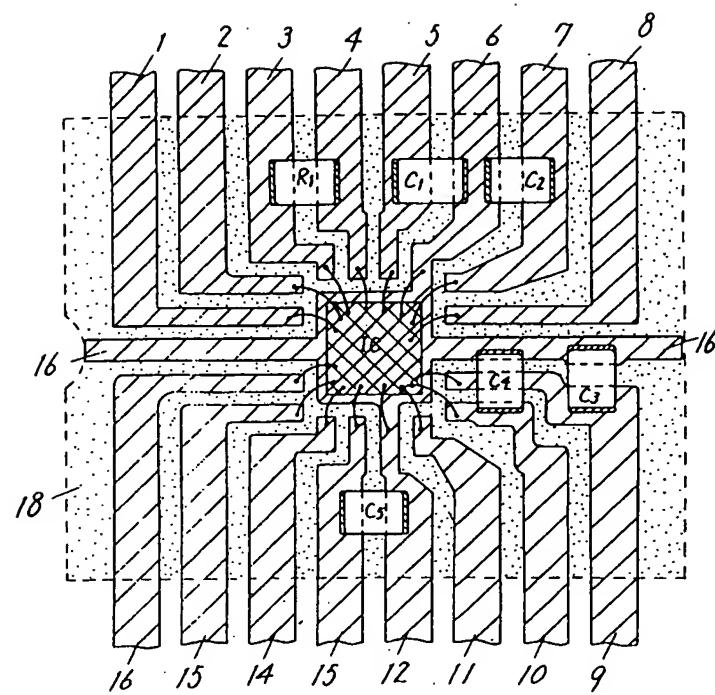
IC……半導体チップ、1～16……リードフレーム、17……ダイボンドランドフレーム、18……樹脂、R1……チップ状抵抗、C1～C5……チップ状コンデンサ。

代理人の氏名 弁理士 中尾敏男 ほか1名

第1図



第 3 図



第 2 図

